

SISTEMAS DIGITAIS

**ELEMENTOS
DE
TECNOLOGIA**

ELEMENTOS DE TECNOLOGIA - 2

- **SUMÁRIO:**
 - **CIRCUITOS INTEGRADOS**
 - TECNOLOGIAS
 - COMPONENTES TTL
 - NÍVEIS LÓGICOS
 - FAN-OUT E FAN-IN
 - TRANSISTORES CMOS
 - **PORTAS TRI-STATE**
 - **TEMPOS DE PROPAGAÇÃO**
 - **LÓGICA POSITIVA**
 - **POLARIZAÇÃO**

CIRCUITOS INTEGRADOS

Os circuitos digitais são realizados com circuitos integrados. Um circuito integrado é um cristal semiconductor, habitualmente de silício, que contém os componentes electrónicos que formam as portas lógicas. É habitualmente designado por **chip**.

O chip é montado dentro de um empacotamento cerâmico ou plástico e são construídas ligações do chip para os pinos externos do integrado. O número de pinos pode variar entre 14 (para os empacotamentos mais pequenos) e várias centenas.

Os CIs podem ser classificados segundo o nº de portas lógicas que utilizam:

SSI – “*Small-Scale Integration*”: até 10 portas – portas básicas simples.

MSI – “*Medium-Scale Integration*”: até 100 portas – funções elementares: somadores, etc.

LSI – “*Large-Scale Integration*”: até alguns milhares de portas – pequenos processadores, etc.

VLSI – “*Very Large-Scale Integration*”:

a partir de alguns milhares de portas – microprocessadores, etc.

TECNOLOGIAS

Os CIs são também classificados de acordo com a tecnologia em que são fabricados. Os circuitos de uma dada tecnologia agrupam-se em **famílias lógicas** segundo os circuitos electrónicos que constituem as suas portas básicas.

Historicamente, estas têm sido as tecnologias mais importantes:

RTL – Resistor-Transistor Logic, **DTL** – Diode-Transistor Logic

Primeiras famílias lógicas - completamente obsoletas.

TTL – Transistor-Transistor Logic

Popular e barata. Disponível um grande número de componentes SSI e MSI. Usada durante várias décadas.

ECL – Emitter-Coupled Logic

Usada em alguns circuitos que operam em alta frequência.

MOS – Metal-Oxide Semiconductor

pMOS, nMOS

CMOS – Complementary Metal-Oxide Semiconductor

Baixo consumo de potência. Grande capacidade de integração. Tecnologia actualmente dominante.

BiCMOS – Bipolar Complementary Metal-Oxide Semiconductor

combina CMOS com TTL, usada em casos em que só CMOS não garante capacidade de “drive”.

GaAs – Gallium-Arsenide

usada em circuitos que operam em muito alta frequência.

ELEMENTOS DE TECNOLOGIA - 5

● COMPONENTES TTL

Designação – p. ex: 74LS32

54 / 74 – Série 74 = standard

Série 54 = aplicações militares

L / LS / S / “ ” / H – tipos diferentes de transistores e compromissos diferentes de velocidade vs. potência dissipada.

A família LS é actualmente a mais popular.

		Atraso	Potência Dissipada	Produto Pot.*Atr.
74	Standard	10 ns	10 mW	100 pJ
74LS	Low-Power Schottky	9,5 ns	2 mW	19 pJ
74S	Schottky	3 ns	19 mW	57 pJ
74L	Low-Power	33 ns	1 mW	33 pJ
74H	High-Power	6 ns	22 mW	132 pJ

Exemplo de Componentes Disponíveis	
Dispositivo	Função
'00	4 NAND2
'02	4 NOR2
'04	6 NOT
'08	4 AND2
'20	2 NAND4
'21	2 AND4
'27	3 NOR3
'30	1 NAND8
'32	4 OR2
'126	4 Buffers Tri-State
'136	4 XOR2

● NÍVEIS LÓGICOS

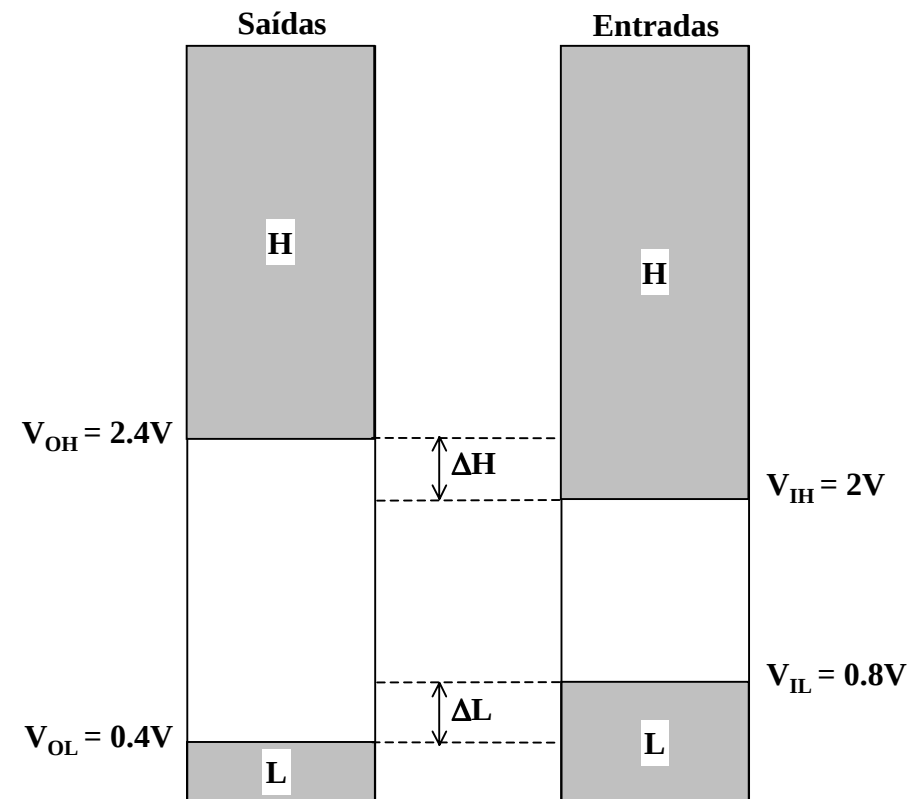
V_{OH} Tensão mínima de saída fornecida pela porta lógica, quando a saída se encontra no nível lógico alto (HIGH)

V_{OL} Tensão máxima de saída fornecida pela porta lógica, quando a saída se encontra no nível lógico baixo (LOW)

V_{IH} Tensão mínima de entrada interpretada pela porta lógica como nível lógico alto (HIGH)

V_{IL} Tensão máxima de entrada interpretada pela porta lógica como nível lógico baixo (LOW)

Famílias lógicas diferentes consideram, em geral, limites de tensão diferentes para a interpretação dos níveis lógicos.



ΔH e ΔL - Correspondem às **margens de ruído**, i.e., à diferença máxima entre os níveis de tensão fornecidos pelas saídas e os níveis de tensão admitidos nas entradas para uma interpretação correcta dos sinais.

● FAN-OUT E FAN-IN

Fan-Out – N° de entradas de portas lógicas a que podemos ligar a saída de uma porta, sem degradar o desempenho do circuito.

Fan-In – N° de entradas disponíveis de uma porta lógica.

Os circuitos MOS podem ser ligados a um n° grande de outras portas MOS sem degradação do sinal, mas o atraso aumenta com o n° de ligações.

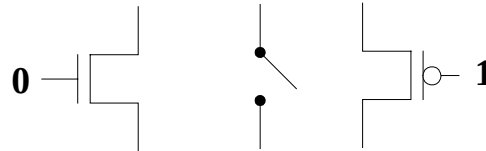
A velocidade de operação das portas TTL não depende do fan-out, mas a qualidade do sinal degrada-se a partir de um certo n° de ligações.

● TRANSISTORES CMOS

A tecnologia CMOS usa 2 tipos de transistores: pMOS e nMOS.

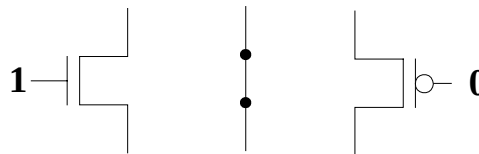
O comportamento destes transistores pode ser modelado, de forma simplificada, como interruptores controlados pela tensão correspondente aos níveis lógicos **0** e **1**. Este modelo ignora detalhes electrónicos mais complexos, mas é suficiente para perceber o funcionamento básico das portas digitais.

O transistor nMOS quando tem um **0** no terminal de controlo, funciona como um circuito aberto entre os 2 outros terminais.



O transistor pMOS quando tem um **1** no terminal de controlo, funciona como um circuito aberto entre os 2 outros terminais.

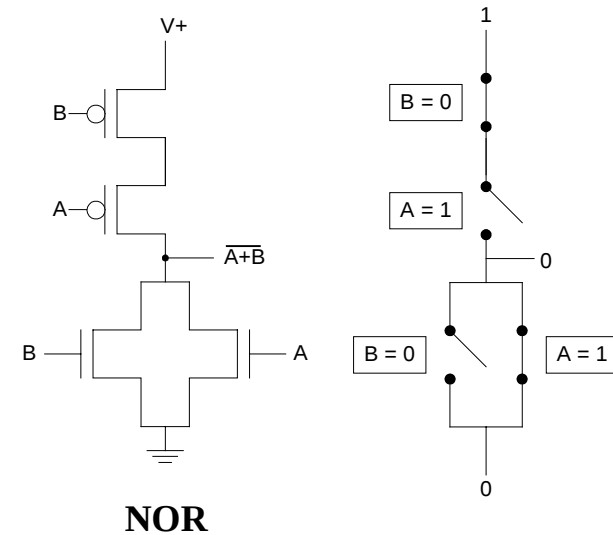
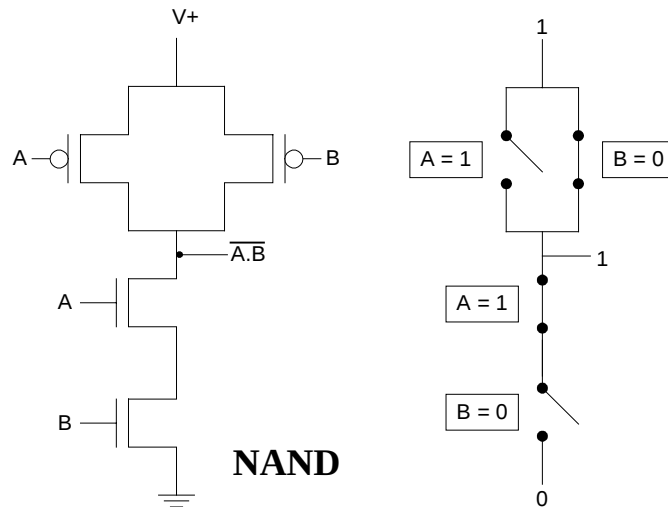
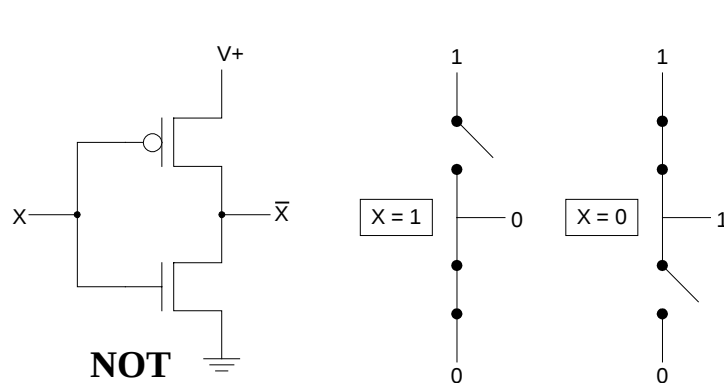
O transistor nMOS quando tem um **1** no terminal de controlo, funciona como um circuito fechado entre os 2 outros terminais.



O transistor pMOS quando tem um **0** no terminal de controlo, funciona como um circuito fechado entre os 2 outros terminais.

ELEMENTOS DE TECNOLOGIA - 9

● PORTAS LÓGICAS BÁSICAS CMOS



As portas são construídas de modo a **nunca** existir uma ligação estática de V+ para GND.

Senão:



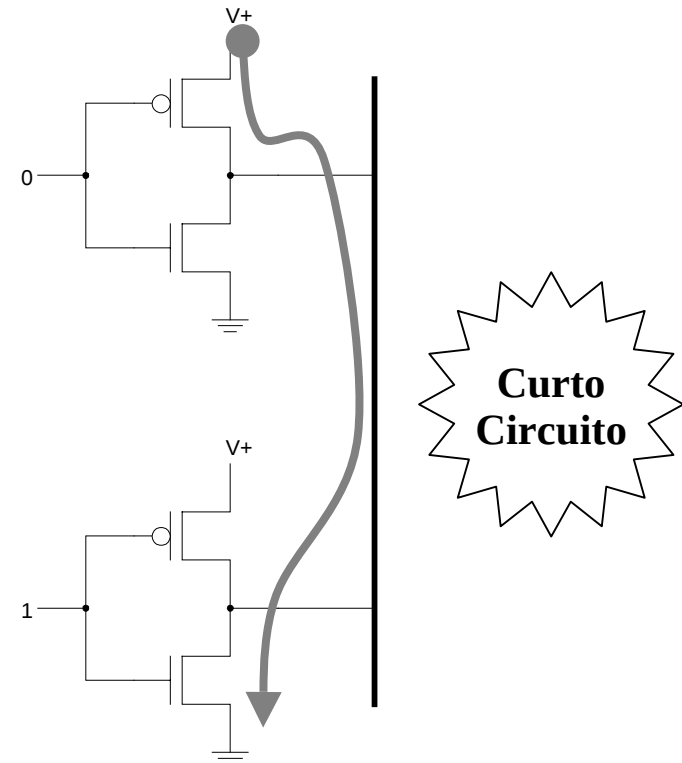
● UTILIZAÇÃO DE BARRAMENTOS

A maioria dos sistemas digitais utiliza barramentos.

Barramentos são linhas às quais se liga um conjunto de dispositivos.

No entanto, não podemos ligar 2 portas lógicas *standard* a uma mesma linha, por risco de curto-circuito.

É necessário, portanto, utilizar mecanismos que permitam, quando um dispositivo está a enviar dados para o barramento, “desligar” todos os outros.



● PORTAS TRI-STATE

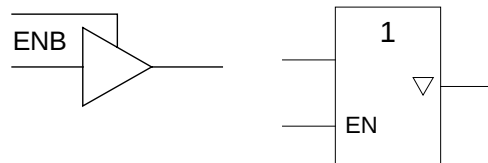
As portas lógicas *standard* operam apenas com 2 valores lógicos: 0 e 1.

As portas **tri-state** podem gerar na saída, além do **0** e do **1**, um terceiro valor, **alta-impedância**, habitualmente referido como **Z**.

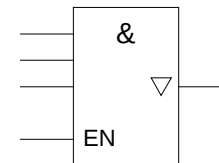
Quando a saída está no estado de alta-impedância é como se a porta estivesse desligada do circuito.

Além das entradas convencionais, a porta tri-state tem 1 entrada adicional, designada por **enable**. Quando o enable está activado, a porta funciona normalmente. Quando o enable está desactivado, a saída da porta é “desligada” do circuito.

► Simbologia:



Buffers Tri-State



AND3 Tri-State

● PORTAS TRI-STATE (cont.)

As portas lógicas *tri-state* permitem ligar 2 saídas ao mesmo ponto, sem curto-circuito, desde que apenas uma delas esteja activa de cada vez.

Nota: não é possível ligar as saídas de 2 portas standard ao mesmo ponto, porque ocorrerá um curto-circuito se a saída de uma for 0 e a saída da outra for 1.

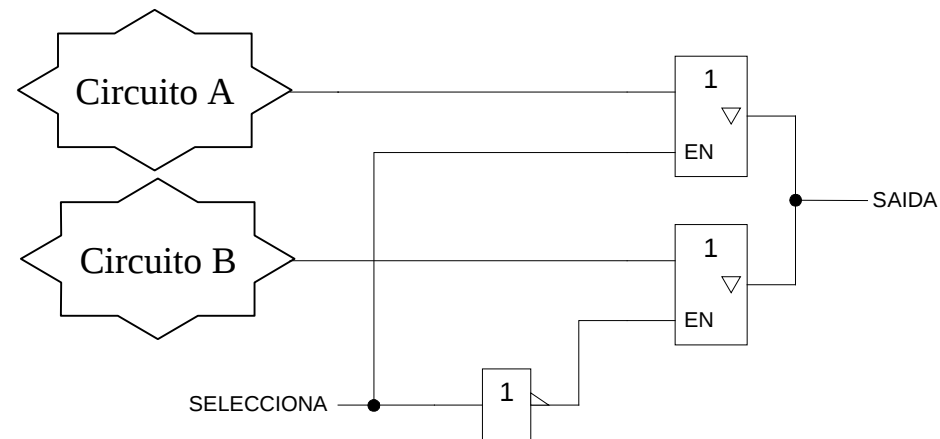
► Exemplo:

O sinal SELECCIONA escolhe qual dos circuitos A ou B é ligado à saída.

O inversor garante que apenas um dos buffers está activo de cada vez:

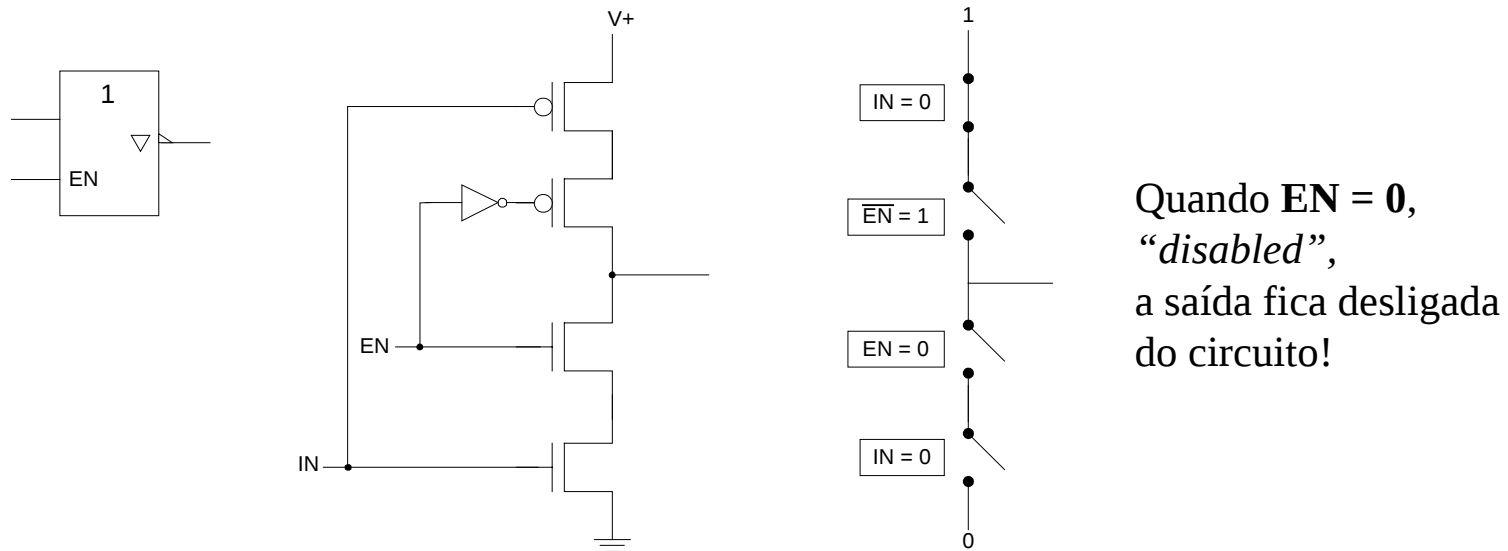
SELECCIONA = 1 → Buffer de cima activo

SELECCIONA = 0 → Buffer de baixo activo



● PORTA TRI-STATE EM CMOS

A implementação de portas tri-state em CMOS é trivial: a saída fica desligada do circuito se cortarmos simultaneamente os caminhos para V^+ e para a massa.



Se **EN = 1**, “enabled”, o circuito funcionaria como 1 inversor normal.

● LIGAÇÃO A BARRAMENTO

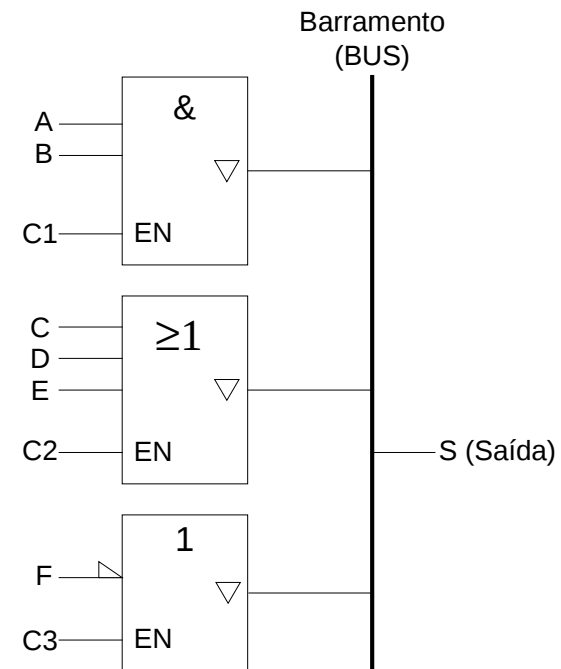
A figura ilustra um exemplo de ligação de 3 portas tri-state ao mesmo BUS.

C_1	C_2	C_3	Funcionamento
0	0	0	$S = Z$ (alta impedância)
1	0	0	$S = A \cdot B$
0	1	0	$S = C + D + E$
0	0	1	$S = \bar{F}$

É necessário garantir que C_1 , C_2 e C_3 nunca estão activos ao mesmo tempo.

Nesta condição, pode dizer-se que

$$S = C_1 \cdot (A \cdot B) + C_2 \cdot (C + D + E) + C_3 \cdot \bar{F}$$



● TEMPOS DE PROPAGAÇÃO

Tempo de Propagação: corresponde ao intervalo de tempo necessário para que uma alteração na entrada se propague até à saída de uma determinada porta lógica ou circuito combinatório.

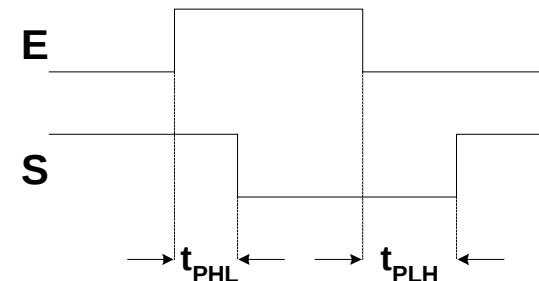
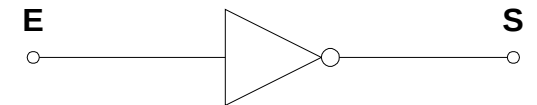
t_{PHL} - Tempo de propagação de H para L na saída, desde a variação da entrada.

t_{PLH} - Tempo de propagação de L para H na saída, desde a variação da entrada.

Valores Típicos (para TTL LS): 8 a 10 ns

Valores Máximos: 15 a 20 ns

Na determinação do atraso máximo na propagação de um sinal através de um circuito combinatório consideram-se, sempre, **os valores máximos**.



● CÁLCULO DO CAMINHO COM ATRASO DE PROPAGAÇÃO MÁXIMO

O caminho de atraso máximo é activado quando C comuta e A=1, B.D=0 e A.B=0.

$$t_{PLHtotal} = t_{PLHnot} + t_{PLHand} + t_{PLHor}$$

ou

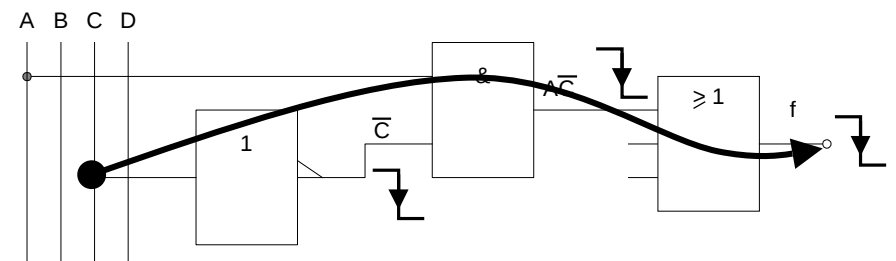
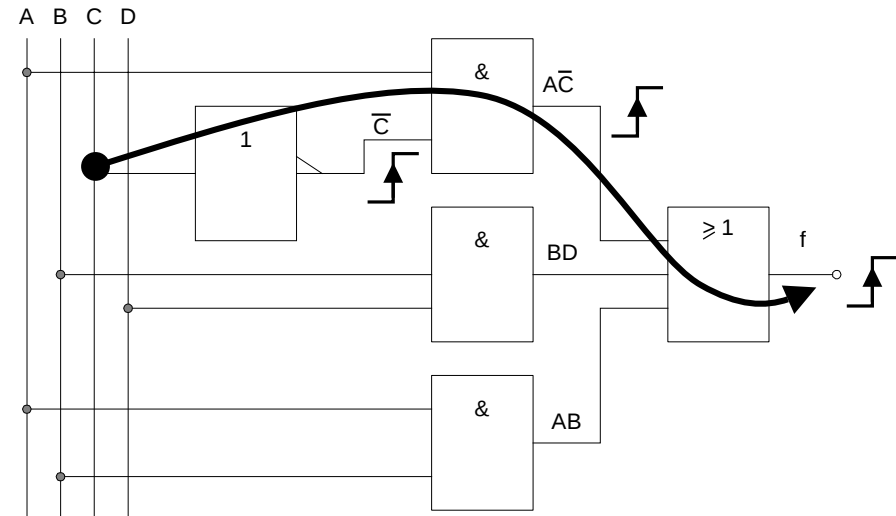
$$t_{PHLtotal} = t_{PHLnot} + t_{PHLand} + t_{PHLor}$$

► Exemplo:

	t_{PHL}	t_{PLH}
NOT	14ns	15ns
AND	17ns	20ns
OR	24ns	22ns

$$t_{Pmax} = \max(14ns + 17ns + 24ns; 15ns + 20ns + 22ns)$$

$$= \max(55ns; 57ns) = 57ns$$



● CÁLCULO DO CAMINHO COM ATRASO DE PROPAGAÇÃO MÁXIMO (com NANDs)

O caminho de atraso máximo é activado quando C comuta e $A=1$, $\overline{B.D}=1$ e $\overline{A.B}=1$.

$$t_{PLHtotal} = t_{PLHnot} + t_{PHLnand1} + t_{PLHnand2}$$

ou

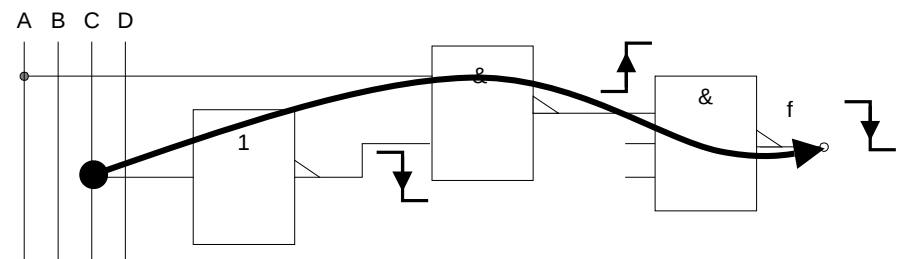
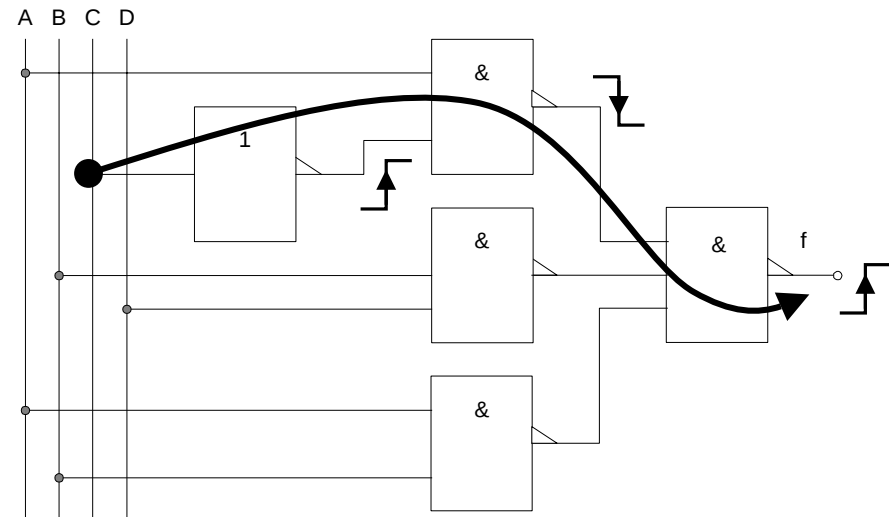
$$t_{PHLtotal} = t_{PHLnot} + t_{PLHnand1} + t_{PHLnand2}$$

► Exemplo:

	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	17ns	16ns

$$t_{Pmax} = \max(14ns + 16ns + 17ns; 15ns + 17ns + 16ns)$$

$$= \max(47ns; 48ns) = 48ns$$



● LÓGICA POSITIVA

Os catálogos dos fabricantes definem as portas lógicas em termos dos níveis **H** – “*High*”, e **L** – “*Low*”, e não dos valores lógicos 0 e 1.

Num sistema de lógica positiva, usa-se o nível H para representar o valor lógico 1, e o nível L para representar o nível lógico 0. (Num sistema de lógica negativa, H seria 0 e L seria 1).

► Atribuição de Nomes a Sinais

Os nomes dos sinais são uma forma importante de documentação. Devem ser usados nomes que ajudem a perceber a função de cada sinal: se um determinado sinal faz acender um LED deve ser designado, por exemplo, como **AcendeLED**, e não como **X3**.

É também importante distinguir se o sinal faz acender o LED quando tem o valor H ou quando tem o valor L. Esta distinção é feita habitualmente usando os sufixos **_H** ou **_L**. Diz-se, no primeiro caso, que o sinal é **activo a H** (ou activo a 1) e, no segundo caso, que o sinal é **activo a L** (ou activo a 0) .

AcendeLED_H – o sinal é activo a H, quer dizer que acende o LED quando o sinal vale H.

AcendeLED_L – o sinal é activo a L, quer dizer que acende o LED quando o sinal vale L.

Nota: quando o sufixo é omissa considera-se habitualmente que o sinal é activo a H.

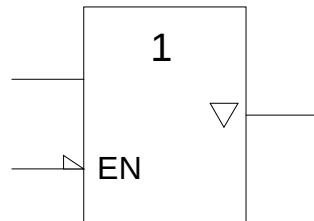
● POLARIZAÇÃO E SIMBOLOGIA

Os triângulos (ou os círculos) usados na simbologia são, de facto, indicadores de polaridade.

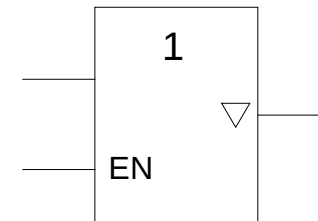
Um sinal com polaridade positiva (_H) torna-se activo quando toma o valor H, e um sinal com polaridade negativa (_L) torna-se activo quando toma o valor L.

Um indicador de polaridade numa entrada indica, de facto, que essa entrada é activada pelo nível L.

► Exemplo:



A entrada de Enable é activa a L, significa que o buffer tri-state é “enabled” quando se força essa entrada a L.



A entrada de Enable é activa a H, significa que o buffer tri-state é “enabled” quando se força essa entrada a H.

BIBLIOGRAFIA

[1] M. Morris Mano, Charles R. Kime, “Logic and Computer Design Fundamentals”, Prentice-Hall International, Inc. Capítulo 2, Secção 2.8 e (só na 1ª edição) 2.9.